

高可靠性标准单元库性能参数的设计研究

梁 曼, 蒋见花

(中国科学院 微电子研究所, 北京 100029)

摘 要: 为了设计高可靠性标准单元库的性能参数, 需要对其最基本的单元模块反相器的性能参数进行研究. 平衡考虑延时特性、噪声容限和功耗等方面的因素, 首先确定反相器晶体管 PMOS 和 NMOS 的宽度比, 然后根据设计需要确定具体的晶体管尺寸, 提出了一套完整的确定反相器最小尺寸的方案. 最后搭建一组逻辑电路验证所设计的反相器在延时特性和功耗方面体现出的优势, 为深亚微米和纳米级标准单元库参数设计提供一定的依据.

关键词: 反相器; 延时特性; 噪声容限; 功耗; 电压传输特性(VTC)

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2013)10-0114-05

Design of Performance Parameter for the High Reliability Standard Cell Library

LIANG Man, JIANG Jian-hua

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: In order to design the performance parameter of high reliability standard cell library, it need to research the related performance parameter of inverter which is the basic unit in a standard cell library. Balancing delay characteristics, noise margins and power consumption etc factors, firstly decide the PMOS-to-NMOS ratio of the inverter, then size the specific transistor. So a suit of scheme to size the minimum inverter is presented. Finally building a set of logic circuit according to logic effort, simulation results show that the inverter has the great advantage of performance and power consumption. All of these provide some reference for sizing the cells of the deep sub-micron and nanoscale standard cell library.

Key words: inverter; delay characteristics; noise margins; power consumption; voltage transfer characteristic(VTC)

1 引言

随着集成电路制造工艺向深亚微米和纳米级尺寸迈进, 专用集成电路(ASIC)低成本、低功耗、高效率等优点得到了广泛的应用. 性能良好的单元库是连接 ASIC 与工艺制造的一座桥梁, 目前, ASIC 设计大多使用的是台积电(TSMC)、中芯国际(SMIC)、宏力半导体(GSMC)等晶圆代工厂所提供的商用标准单元库, 但是对于工作环境要求特别苛刻, 例如温度范围大、辐射等特殊环境需求的芯片设计, 现有的商用标准单元库已经无法满足要求, 这就需要自行开发满足环境需求的、高可靠性的特有标

准单元库. 国外以 ATMEL 为代表的公司已经成功推出了应用于各种军事环境的军用集成电路标准单元库^[1]. 就国内而言, 针对自行开发的高可靠性工艺的单元库设计仅仅处于起步阶段. 本文以自行开发的高可靠工艺为基础, 针对这种特有工艺进行标准单元库的性能参数设计研究.

反相器作为标准单元库中最基本的单元模块, 是单元设计的基础. 反相器设计一旦确定, 在设计和分析中的基本法则就可以延伸来设计和解释单元库中诸如与非门、或非门、触发器等比较复杂的逻辑门电路, 因此对标准单元库的性能参数设计研究就借助于反相器这个最基本的单元来进行, 可以通过研

收稿日期: 2012-11-03; **修回日期:** 2012-01-16

基金项目: 国家科技重大专项(2009ZX02306003, 2009ZX02305013)

究反相器的性能参数,提出一套完整的确定其尺寸的方案。

2 性能参数

设计一个标准单元库,需要综合考虑延时特性、噪声容限以及功耗等基本参数。

2.1 延时特性

数字电路的延时特性表示它的计算能力,传播延时和上升/下降时间是衡量单独一个门延时特性的重要指标。传播延时 t_p 定义一个门对输入端信号变化的响应有多快,表示一个信号通过一个门时所经历的延时。如图1定义 t_p 输入和输出波形50%翻转点之间的时间。由于一个门对上升和下降输入波形的响应时间不同,又定义了两个传播延时 t_{pLH} 和 t_{pHL} ,传播延时 t_p 为这两个时间的平均值:

$$t_p = \frac{t_{pHL} + t_{pLH}}{2} \tag{1}$$

$$t_{pHL} = 0.52 \frac{C_L V_{DD}}{(W/L)_n k_n' V_{DSATp} (V_{DD} - V_{Tn} - V_{DSATp}/2)} \tag{2}$$

$$t_{pLH} = 0.52 \frac{C_L V_{DD}}{(W/L)_p k_p' V_{DSATp} (V_{DD} + V_{Tp} - V_{DSATp}/2)} \tag{3}$$

式中, $k_n' = \mu_n C_{ox}$, $k_p' = \mu_p C_{ox}$
式(2)、(3)是文献[2]中提供的传播延时 t_{pLH} 和 t_{pHL} 的理论公式,其中 V_{Tp} 、 V_{Tn} 为PMOS和NMOS的阈值电压, μ_p 、 μ_n 为空穴电子迁移率, V_{DSAT*} 为饱和时的漏电压。

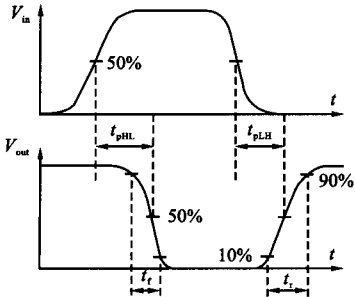


图1 传播延时、上升和下降时间的定义

传播延时除了与电路工艺和输出负载有关,与门的输入输出信号斜率也有关系。为了定量这一特性,引入上升时间 t_r 和下降时间 t_f 来衡量信号的斜率变化, t_r 表示输出电压从 $V_{10\%}$ 上升到 $V_{90\%}$ 所需的时间,同样,下降时间 t_f 定义输出电压从 $V_{90\%}$ 下降到 $V_{10\%}$ 所需的时间。一个信号的上升/下降时间很大程度上取决于驱动门的强度以及它所承受的负载。为得到对称VTC反相器,需要根据晶体管的尺

寸来平衡 t_{pLH} 和 t_{pHL} 、 t_r 和 t_f 。

2.2 噪声容限

噪声容限(NM)定义了当信号从一个栅极输出传输到下一个栅极的输入时信号电平容许的变化范围,如图2所示。噪声容限是用来衡量电路抗干扰能力的指标,电路的抗干扰能力随着NM增加而增强,式(4)描述了低信号电平噪声容限 NM_L 和高信号电平噪声容限 NM_H ,如下式所示。

$$NM_L = V_{IL} - V_{OL}$$
$$NM_H = V_{OH} - V_{IH} \tag{4}$$

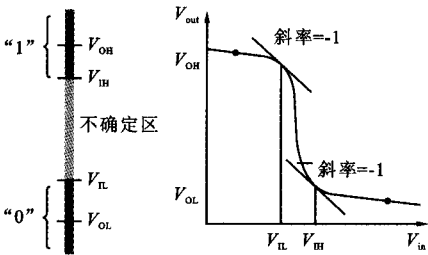


图2 噪声容限的定义

在CMOS电路中,电源电压和P/NMOS的宽度比是影响噪声容限的主要因素。为使数字电路能稳定工作,噪声容限要尽可能越大越好。

2.3 功耗

CMOS电路中的功耗主要包括动态功耗和静态功耗两部分。动态功耗是器件处于活动状态时消耗的功耗,静态功耗则是在器件处于上电状态但信号不发生变化时电路消耗的功耗^[3]。CMOS功耗的分类及其产生的原因表1中有清楚的表述。

表1 CMOS电路中的功耗

功耗分类	动态功耗		静态功耗
功耗来源	开关功耗	短路功耗	漏电流功耗
产生原因	电容充放电产生的切换电流	晶体管同时导通产生的短路电流	漏电流和亚阈值电流引起的泄漏功耗
电流	I_{sw}	I_{sc}	I_{lk}
表达式	$P_{sw} = C_L \cdot V_{DD}^2 \cdot f$	$P_{sc} = t_{sc} \cdot V_{DD} \cdot I_{sc} \cdot f$	$P_{lk} = I_{lk} \cdot V_{DD}$

一个门的功耗不仅与电源电压、负载和信号频率有关,跟输入信号的斜率和传播延时也有关联。

3 CMOS反相器设计

因为PMOS空穴迁移率与NMOS的电子迁移率不同,相同尺寸的P/NMOS的等效电阻不相同,这会导致上升/下降传播延时不同,得到不对称VTC的反相器。要得到上升/下降沿匹配的CMOS

反相器,首先需要确定反相器 PMOS 和 NMOS 的宽度比 W_p/W_n ,再结合设计指标确定 MOS 管的具体尺寸.下文反相器尺寸的确定均以自行开发的高可靠性工艺模型参数来进行理论计算和模拟仿真.

3.1 晶体管宽度比的确定

在标准单元库中有两种类型的反相器,一类是作为时钟电路的反相器,它需要平衡 t_r 和 t_f 、 t_{pHL} 和 t_{pLH} ,得到尽量对称的 VTC. 另一类是普通反相器,它要在噪声容限允许的条件下,延迟时间 t_p 达到最优. 根据这两种需要会有两种不同的宽度比.

如果要平衡上升/下降传播延时,需要 t_{pHL} 与 t_{pLH} 相等,假设 $V_{Tp}=V_{Tn}$,根据式(2)、(3)的理论推导出下面的结论:

$$(W/L)_n k_n = (W/L)_p k_p \tag{5}$$

对于 CMOS 反相器, $L_n=L_p$, 上式可重新写成:

$$W_p/W_n = \mu_n/\mu_p \tag{6}$$

查看工艺文件,得到 W_p/W_n 的理论值为 2.45.

为了进一步确定 P/NMOS 的宽度比,可以模拟一个反相器链,根据反相器链的延时优化推导^[1]. 在深亚微米工艺下,每一级反相器扇出为 4 时,得到的反相器链的延时最小. 模拟实际的反相器工作环境,在每级反相器输出端加 4 倍于自身输入电容的反相器,组成一个三级反相器链,如图 3 所示,在输入端 In 输入理想的脉冲信号,测量第二级反相器的波形变化.

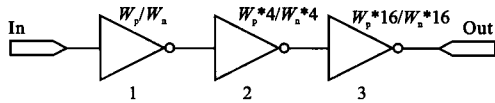


图 3 确定 P/NMOS 宽度比的反相器链

用 Hspice 分别对 W_n 为 1 μm 、1.2 μm 、1.5 μm 、1.8 μm 和 2 μm , 改变 W_p 的值, $L_n=L_p=0.35 \mu\text{m}$ 的反相器链进行模拟仿真. 图 4 是以 W_n 为 1.5 μm 的反相器为例, 用 Matlab 绘制的反相器的传播延时随 W_p/W_n 的变化波形, 它清楚地显示了改变晶体管的尺寸比例将如何改变 t_{pHL} 和 t_{pLH} 的相对大小.

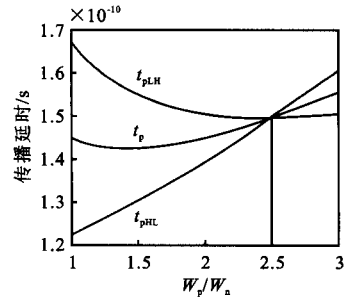


图 4 CMOS 反相器的传播延时与 W_p/W_n 比值的关系

随着 PMOS 尺寸的加大,充电电流会相应的增加,从而改善反相器的 t_{pLH} ,但是由于产生较大的寄生电容而使 t_{pHL} 变差. t_{pLH} 和 t_{pHL} 随 W_p/W_n 的变化趋势正好相反. 在晶体管比例为 2.5 附近,反相器的上升延时和下降延时相等,这与前面计算的理论值相差不大. 传播延时的最优点则发生在 1.4 附近,此时反相器的传播延时最小.

基于传播延时的考虑, W_p/W_n 比例不应选取过大,但是如果选择太小,就可能导致噪声容限过小,从而使信号受到噪声的干扰偏离额定电平,造成电路不能正常工作. 根据上面的讨论,这里对 W_p/W_n 为 1、1.4、1.9、2.4 和 3 的情况进行 Hspice 仿真,得到图 5 中的反相器的 VTC. 表 2 是由图 5 根据定义测得每一个比值对应的噪声容限,在 W_p/W_n 为 1.9 时, NM_L 与 NM_H 近乎相等,即反相器的抗噪声能力最强. 对于延时最小的尺寸比例为 1.4 的情况, NM_L 为 1.28 V, NM_H 为 1.58 V, 只相差 0.3 V.

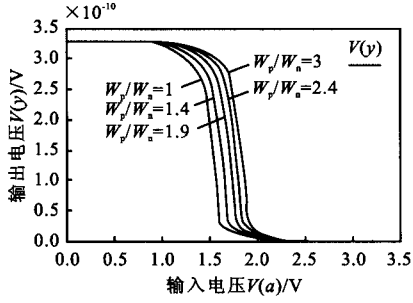


图 5 不同 W_p/W_n 的 CMOS 反相器的 VTC

表 2 不同 W_p/W_n 的 CMOS 反相器的噪声容限

W_p/W_n	V_{IL}/V	V_{IH}/V	NM_L/V	NM_H/V
1	1.18	1.62	1.18	1.68
1.4	1.28	1.72	1.28	1.58
1.9	1.43	1.83	1.43	1.47
2.4	1.5	1.9	1.5	1.4
3	1.58	1.95	1.58	1.35

结合上述讨论,对于普通反相器,需要在噪声容限允许的条件下,使其延时时间最小, W_p/W_n 应选在 1.4,此时反相器的延时时间达到最优. 这种选择虽然会损失一定的噪声容限,但是经过模拟仿真,高低电平的噪声容限仅相差 0.3 V,而且对功耗和面积也带来一定的优化.

对于需要平衡上升/下降传播延时、上升下降时间的时钟电路的反相器而言,噪声容限是其考虑的主要因素. 需进行进一步分析,选择恰当的 W_p/W_n 来平衡上述延迟特性.

固定 NMOS 尺寸,按比例增加 PMOS 尺寸,得到上升下降时间随尺寸比例变化 W_p/W_n 的关系,如图 6 所示,在 1.9 附近上升/下降时间近乎相等. 结合图 4,在 2.5 附近取得相等的上升/下降传播延迟.

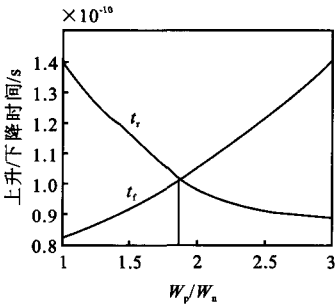


图 6 CMOS 反相器的上升/下降时间与 W_p/W_n 比值的关系

为了平衡两者得到适宜于时钟电路的反相器,反相器的尺寸比例应该选取在 1.9~2.5 之间. 为此,固定 NMOS 尺寸,用 Hspice 对 W_p/W_n 为 1.8~2.6 的反相器进行模拟仿真,得到的相关数据如表 3 所示,时间的单位为 ns,噪声容限的单位为 V. 在宽度比为 2.1 时, NM_L 与 NM_H 近乎相等. 而上升/下降传播延迟时间相差 0.012 ns,相差比例 12%;上升/下降时间相差 0.008 ns,相差比例为 5%. 在尺寸比例为 2.0 时, NM_L 与 NM_H 也近乎相等,上升/下降传播延迟时间相差 0.007 ns,相差比例为 7%;上升/下降时间相差 0.011 ns,相差比例为 7.6%,相差比例均在 10% 以内. 综上分析,时钟电路上的反相器的宽度比应选取在 2.0.

表 3 不同 W_p/W_n 的 CMOS 反相器性能参数

W_p/W_n	t_r	t_f	t_{pHL}	t_{pLH}	NM_L	NM_H
1.8	0.105	0.100	0.136	0.152	1.40	1.52
1.9	0.101	0.103	0.138	0.151	1.43	1.49
2.0	0.098	0.105	0.140	0.151	1.46	1.48
2.1	0.096	0.108	0.142	0.150	1.48	1.47
2.2	0.094	0.111	0.144	0.150	1.50	1.45
2.3	0.093	0.115	0.146	0.150	1.53	1.44
2.4	0.092	0.118	0.148	0.150	1.54	1.42
2.5	0.091	0.121	0.150	0.150	1.56	1.41
2.6	0.091	0.125	0.152	0.150	1.57	1.38

3.2 NMOS 宽度的确定

反相器的晶体管宽度比确定之后,还需要确定 MOS 管的具体尺寸才能完成这个反相器的设计.

以 W_n 为 1 μm , W_p 为 1.4 μm 的反相器为参考

门,定义尺寸系数 S 为反相器晶体管尺寸与参考门的晶体管尺寸之比. 固定扇出,以相同系数 S 放大 NMOS 和 PMOS 管尺寸可以提高反相器的传播延时. 固定外部负载,用 Hspice 对反相器进行模拟仿真,得到传播延时与尺寸系数 S 的关系如图 7 所示. 从图 7 可以看到 $S=3$ 时延时已得到大部分的改善. 尺寸系数大于 10,延时的改善已经微乎其微. 经过定性分析,综合考虑延时、功耗和面积,将尺寸系数的比例锁定在 1.3~3,这个范围的反相器传播延时相对于参考门已经有大幅度改善,同时面积和功耗较适度.

用图 3 的反相器链模拟反相器实际的工作环境,对尺寸系数为 1.3、1.5、1.8、2、2.3、2.5、2.8、3 的反相器进行 Hspice 仿真. 保持 W_p/W_n 为 1.4 的宽度比不变,在反相器链的输入端加上理想的脉冲信号,测量每条反相器链的第二级反相器的传播延时和整个反相器链的平均功耗,并将测得的结果与参考门进行比较,如表 4 所示. W_n 在 1.8 μm 时,反相器的传播延时最小; W_n 在 1.0 μm 时,反相器的平均功耗最小.

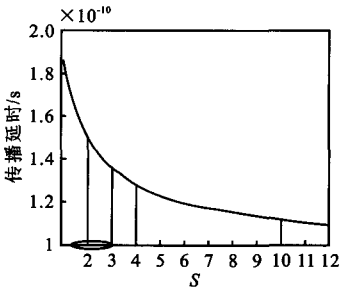


图 7 延时 t_p 与尺寸系数 S 的关系

综上,如果设计要求低功耗,则 NMOS 的宽度 W_n 为 1.0 μm 的反相器即满足低功耗的需求^[4];如果设计要求低延时, W_n 适宜选择在 1.8 μm ,具体尺寸的选择需要根据设计的需求来确定.

4 电路验证

对于一套标准单元库,各个单元需要有一致的延时特性、噪声容限和功耗等各项指标^[5]. 如果反相器的尺寸确定,单元库中其他门级单元的 P/NMOS 晶体管宽度就基于这个反相器.

“与非”、“或非”、“与或非”运算中的任何一种都能单独实现“与、或、非”运算,这三种运算每种都是完备集^[6],因此一个标准单元库中有“与非”、“或非”、“与或非”这三种逻辑门,就能给设计带来很多方便.

这里根据已确定的反相器,按照逻辑搭建与非门、或非门、与或非门等组合逻辑单元进行模拟仿真,并与 $W_n=1.5\text{ }\mu\text{m}$ 、 $W_p=3\text{ }\mu\text{m}$ 的反相器相对应的逻辑门做对比,如表5所示。 $W_n=1\text{ }\mu\text{m}$ 、 $W_p=1.4\text{ }\mu\text{m}$ 尺寸的反相器对应的逻辑门的功耗最小,适合于低功耗设计; $W_n=1.8\text{ }\mu\text{m}$ 、 $W_p=2.52\text{ }\mu\text{m}$ 反相器

对应的逻辑门的延时最小,为高速设计的首选; $W_n=1.5\text{ }\mu\text{m}$ 、 $W_p=3\text{ }\mu\text{m}$ 反相器的高低电平噪声容限的差别最小,是时钟电路单元设计的基础。这里用逻辑门验证的性能参数跟反相器确定的性能参数相一致。在单元库设计中,器件尺寸的具体数值根据性能指标参数的优先级来确定。

表 4 不同尺寸系数 S 的 CMOS 反相器性能参数

$W_n/\mu\text{m}$	$W_p/\mu\text{m}$	t_{pHL}/ns	t_{pLH}/ns	t_p/ns	Power/ μW		
1.00	1.40	0.270	0.292	0.281	0.00%	9.31	0.00%
1.30	1.82	0.272	0.292	0.282	0.43%	12.2	31.21%
1.50	2.10	0.270	0.294	0.282	0.21%	14.0	50.55%
1.80	2.52	0.267	0.294	0.281	-0.11%	16.9	81.71%
2.00	2.80	0.272	0.295	0.284	0.94%	19.0	104.06%
2.30	3.22	0.274	0.298	0.286	1.78%	22.2	138.13%
2.50	3.50	0.275	0.299	0.287	2.26%	24.1	159.40%
2.80	3.92	0.277	0.296	0.287	1.87%	27.2	191.96%
3.00	4.20	0.278	0.294	0.286	1.73%	29.2	213.67%

表 5 不同逻辑门对应的性能参数

反相器尺寸	对应逻辑门	t_{pHL}/ns	t_{pLH}/ns	t_p/ns	NM_L/V	NM_H/V	Power/ μW
$W_n=1\text{ }\mu\text{m}$ $W_p=1.4\text{ }\mu\text{m}$	与非门	2.675	3.625	3.150	1.28	1.23	36.31
	或非门	2.651	3.855	3.253	1.52	1.05	36.90
	与或非门	2.557	3.989	3.273	1.55	1.02	36.83
$W_n=1.5\text{ }\mu\text{m}$ $W_p=3\text{ }\mu\text{m}$	与非门	1.919	2.024	1.972	1.26	1.32	37.54
	或非门	2.156	2.049	2.103	1.36	1.30	39.28
	与或非门	2.050	2.132	2.091	1.35	1.37	38.56
$W_n=1.8\text{ }\mu\text{m}$ $W_p=2.52\text{ }\mu\text{m}$	与非门	1.632	2.239	1.936	1.17	1.42	37.71
	或非门	1.816	2.356	2.086	1.46	1.20	38.80
	与或非门	1.725	2.413	2.069	1.50	1.18	38.68

5 结束语

文中借助于单元库中反相器这个最基本的模块单元,研究了高可靠性标准单元库性能参数的设计,讨论了晶体管的尺寸对延时特性、噪声容限和功耗等性能参数的影响。根据设计需求可以确定反相器中晶体管的最佳尺寸,并按照逻辑搭建逻辑门电路。文中基于性能参数考虑所提出的这套尺寸确定的方案,可以推及到其它的深亚微米和纳米级标准单元的设计中,为深亚微米和纳米级标准单元库的尺寸确定提供了一定的依据。

参考文献:

[1] ATMEL. 0.18 μm CMOS Cell-based ASIC for Military Use[R]. ATMEL Rev4262A-AERO-07/03.
[2] Jan M. Rabaey, Anatha Chandrakasan. Digital integrated circuits: a design perspective[M]. Boston: Prentice Hall, 2003.

[3] Synopsys Inc. Power Compiler User Guide[M]. [s. l.]: Synopsys Inc Version C, 2009.
[4] Benton H Calhoun, Alice Wang, Anantha Chandrakasan. Device sizing for minimum energy operation in subthreshold circuits[C]// Custom Integrated Circuits Conference. Hong Kong: IEEE, 2004: 95-98.
[5] 彭代珉. 0.18 μm CMOS 军品级标准单元库的设计[D]. 长沙: 国防科技大学, 2007.
[6] Salman Gopalani, Rajesh Garg, Mosong Cheng. A lithography friendly structured ASIC design approach [C]// Proceedings of the 18th ACM Great Lakes symposium on VLSI. New York, NY, USA: ACM, 2008: 315-320.

作者简介:

梁曼女, (1987-), 硕士研究生. 研究方向为数字集成电路可靠性加固设计.
蒋见花女, (1976-), 硕士生导师. 研究方向为数字集成电路可靠性加固设计.